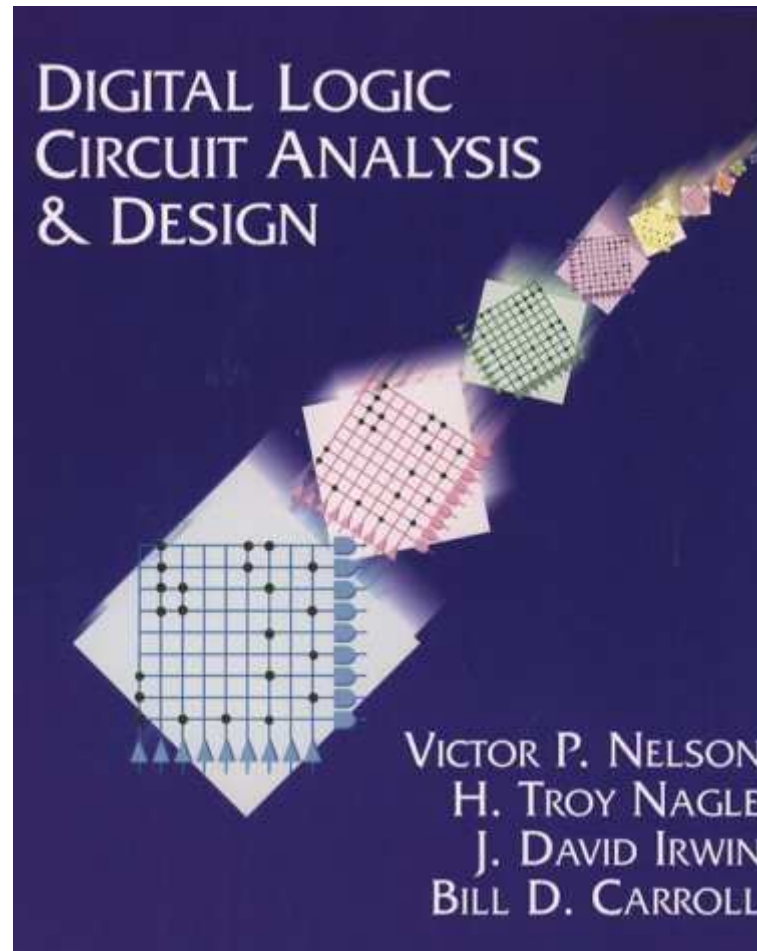


論理回路(基礎)

法政大学
情報科学部
大森健児

参考書



論理演算(1)

- AND, OR, NOT, XOR

AND	0	1
0	0	0
1	0	1

OR	0	1
0	0	1
1	1	1

NOT	
0	1
1	0

XOR	0	1
0	0	1
1	1	0

論理演算(2)

- NAND,NOR

NAND	0	1
0	1	1
1	1	0

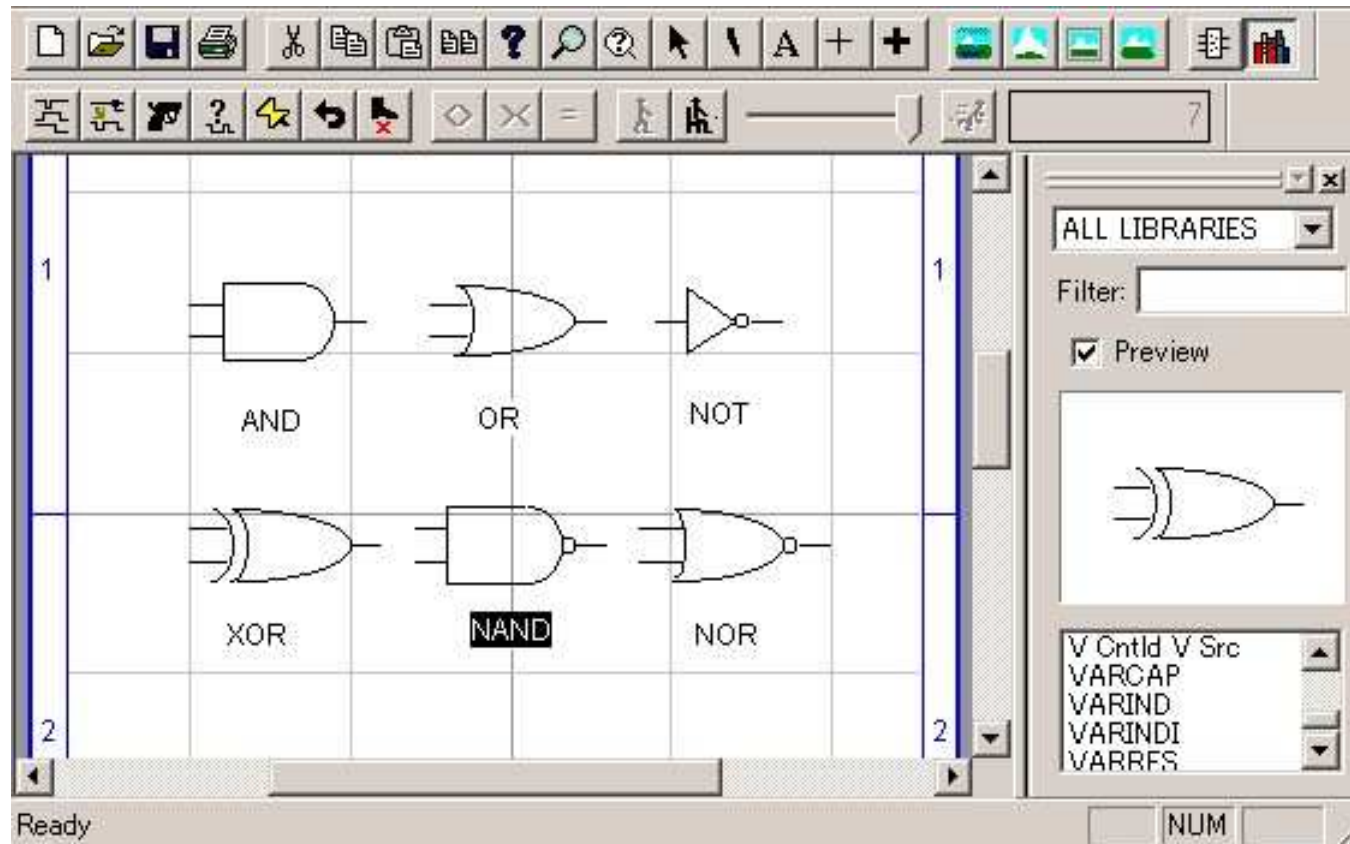
NOR	0	1
0	1	0
1	0	0

前提、結論

- If A then B は、Aが真のとき、Bが真であるならば、この文は真であり、Aが偽のときは、Bが真であろうとなかろうとこの文は真である。Aが真のとき、Bが偽であればこの文は偽である。すなわち、 $A' + B$ である。

\rightarrow	0	1
0	1	1
1	0	1

論理ゲート



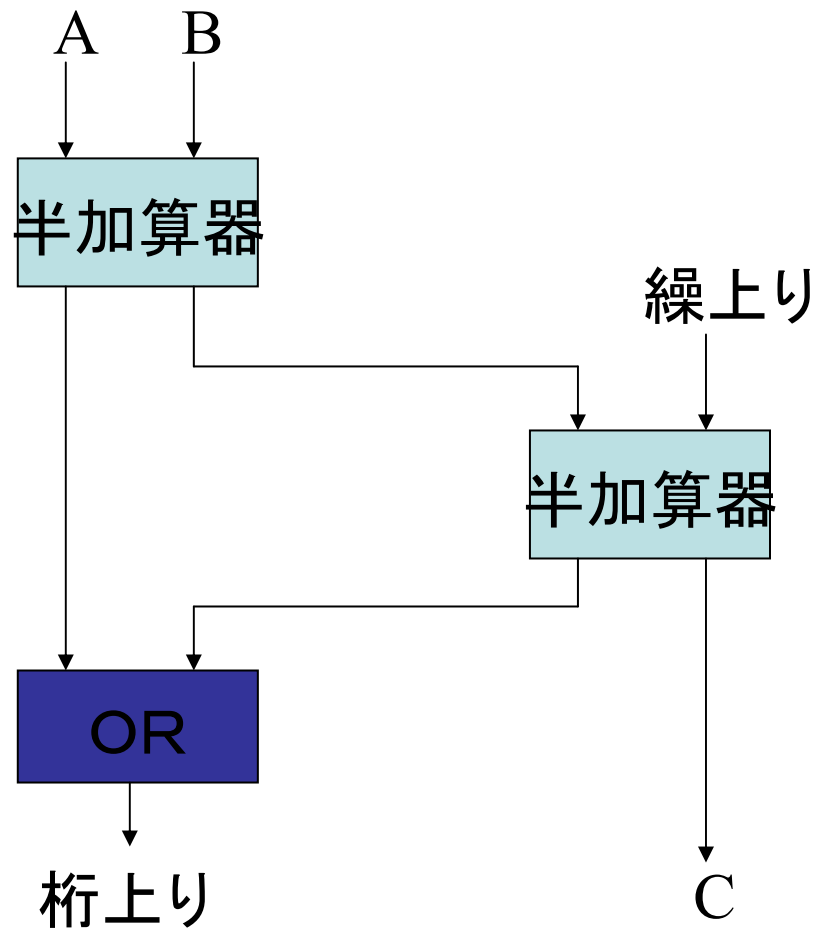
半加算器

A	B	和	桁上り
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

全加算器

A	B	繰上り	和	桁上り
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

半加算器より全加算器を



論理式の変形(1)

- Constant
 - $X+0=X$, $X+1=1$, $X*1=X$, $X*0=0$
- Idempotent
 - $X+X=X$, $X*X=X$
- Involution
 - $(X')'=X$
- Complementary
 - $X+X'=1$, $X*X'=0$
- Commutative
 - $X+Y=Y+X$, $X*Y=Y*X$

論理式の変形(2)

- Associative
 - $(X+Y)+Z=X+(Y+Z)$, $(X*Y)*Z=X*(Y*Z)$
- Distributive
 - $X*(Y+Z)=X*Y+X*Z$, $X+(Y*Z)=(X+Y)*(X+Z)$
- Simplification
 - $X*Y+X*Y'=X$, $(X+Y)*(X+Y')=X$
 - $X+X*Y=X$, $X*(X+Y)=X$
 - $(X+Y')*Y=X*Y$, $(X*Y')+Y=X+Y$

論理式の変形(3)

- DeMorgan's
 - $(X+Y+Z+\dots)'=X'*Y'*Z'*\dots$
 - $(X*Y*Z*\dots)'=X'+Y'+Z'+\dots$
- Multiplying & Factoring
 - $(X+Y)*(X'+Z)=X*Z+X'*Y$
 - $X*Y+X'*Z=(X+Z)*(X'+Y)$

例 1

- **Theorem 1 (Idempotent):**

(a) $a + a = a$

(b) $aa = a$

- **Theorem 2 (Constant):**

(a) $a + 1 = 1$

(b) $a0 = 0$

- **Theorem 3 (Involution)**

$$\overline{\overline{a}} = a$$

- **Properties of 0 and 1 elements:**

<u>OR</u>	<u>AND</u>	<u>Complement</u>
$a + 0 = 0$	$a0 = 0$	$0' = 1$
$a + 1 = 1$	$a1 = a$	$1' = 0$

例2

- **Theorem 4 (Absorption)**

(a) $a + ab = a$

(b) $a(a + b) = a$

- **Examples:**

– $(X + Y) + (X + Y)Z = X + Y$ [T4(a)]

– $AB'(AB' + B'C) = AB'$ [T4(b)]

- **Theorem 5**

(a) $a + a'b = a + b$

(b) $a(a' + b) = ab$

- **Examples:**

– $B + AB'C'D = B + AC'D$ [T5(a)]

– $(X + Y)((X + Y)' + Z) = (X + Y)Z$ [T5(b)]

例3

- **Theorem 6**

(a) $ab + ab' = a$

(b) $(a + b)(a + b') = a$

- **Examples:**

– $ABC + AB'C = AC$ [T6(a)]

– $(W' + X' + Y' + Z')(W' + X' + Y' + Z)(W' + X' + Y + Z')$
 $Z')(W' + X' + Y + Z)$

$= (W' + X' + Y')(W' + X' + Y + Z')(W' + X' + Y + Z)$

[T6(b)]

$= (W' + X' + Y')(W' + X' + Y)$ [T6(b)]

$= (W' + X')$ [T6(b)]

例4

- **Theorem 7**

(a) $ab + ab'c = ab + ac$

(b) $(a + b)(a + b' + c) = (a + b)(a + c)$

- **Examples:**

- $wy' + wx'y + wxyz + wxz'$
 - $= wy' + wx'y + wxy + wxz'$ [T7(a)]
 - $= wy' + wy + wxz'$ [T7(a)]
 - $= w + wxz'$ [T7(a)]
 - $= w$ [T7(a)]
- $(x'y' + z)(w + x'y' + z') = (x'y' + z)(w + x'y')$ [T7(b)]

例5

- **Theorem 8 (DeMorgan's Theorem)**

$$(a) (a + b)' = a'b' \qquad (b) (ab)' = a' + b'$$

- Generalized DeMorgan's Theorem

$$(a) (a + b + \dots z)' = a'b' \dots z'$$

$$(b) (ab \dots z)' = a' + b' + \dots z'$$

- **Examples:**

- $(a + bc)'$

$$= (a + (bc))'$$

$$= a'(bc)' \qquad [T8(a)]$$

$$= a'(b' + c') \qquad [T8(b)]$$

$$= a'b' + a'c'$$

- Note: $(a + bc)' \neq a'b' + c'$

例6

- **More Examples for DeMorgan's Theorem**

$$- (a(b + z(x + a'))))'$$

$$= a' + (b + z(x + a'))' \quad [\text{T8(b)}]$$

$$= a' + b' (z(x + a'))' \quad [\text{T8(a)}]$$

$$= a' + b' (z' + (x + a'))' \quad [\text{T8(b)}]$$

$$= a' + b' (z' + x'(a'))' \quad [\text{T8(a)}]$$

$$= a' + b' (z' + x'a) \quad [\text{T3}]$$

$$= a' + b' (z' + x') \quad [\text{T5(a)}]$$

例7

- ***More Examples for DeMorgan's Theorem***

- $(a(b + c) + a'b)'$

- $= (ab + ac + a'b)'$

- $= (b + ac)'$ [T6(a)]

- $= b'(ac)'$ [T8(a)]

- $= b'(a' + c')$ [T8(b)]

例8

- **Theorem 9 (Consensus)**

(a) $ab + a'c + bc = ab + a'c$

(b) $(a + b)(a' + c)(b + c) = (a + b)(a' + c)$

- **Examples:**

– $AB + A'CD + BCD = AB + A'CD$ [T9(a)]

– $(a + b')(a' + c)(b' + c) = (a + b')(a' + c)$ [T9(b)]

– $ABC + A'D + B'D + CD$
= $ABC + (A' + B')D + CD$ [P5(b)]

= $ABC + (AB)'D + CD$ [T8(b)]

= $ABC + (AB)'D$ [T9(a)]

= $ABC + (A' + B')D$ [T8(b)]

= $ABC + A'D + B'D$

標準形

- 積和標準形(Sum of Products)

– 例 $ABC+BC'D+A'CD$

項と
いう

- 和積標準形(Product of Sums)

– 例 $(A+B+C)(B+C'+D)(A'+C+D)$

項と
いう

スイッチング関数

- スwitching代数: 要素 $K = \{0, 1\}$ の集合を持つブール代数
- n 変数では 2^{2^n} の関数が存在する

AB	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}	f_{13}	f_{14}	f_{15}
00	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
01	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
10	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
11	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

- スwitching関数は上の表で、または下の論理式で表わす(インデックスの2進数が関数の値に対応)

$$f_0(A,B) = 0, \quad f_6(A,B) = AB' + A'B, \quad f_{11}(A,B) = AB + A'B + A'B' = A' + B, \dots$$

真理表 (1)

ab	$f(a,b)=a+b$	ab	$f(a,b)=ab$	a	$f(a)=a'$
00	0	00	0	0	1
01	1	01	0	1	0
10	1	10	0		
11	1	11	1		

真理表 (2)

- $f(A,B,C) = AB + A'C + AC'$

ABC	$f(A,B,C)$	ABC	$f(A,B,C)$
000	0	FFF	F
001	1	FFT	T
010	0	FTF	F
011	1	FTT	T
100	1	TFF	T
101	0	TFT	F
110	1	TTF	T
111	1	TTT	T

最小項、最大項

- 積の項が全ての変数をそれぞれひとつだけ含んでいるとき、その項を最小項という
- 和の項が全ての変数をそれぞれひとつだけ含んでいるとき、その項を最大項という
- 最小項だけからなる積和標準形を主加法標準形という
- 最大項だけからなる和積標準形を主乗法標準形という

最小項と最小項のコード

- 主加法標準形:
 - 最小項の和として表す.
 - 例: $f_1(A,B,C) = A'BC' + ABC' + A'BC + ABC$
- 3変数での最小項

Minterm	Minterm Code	Minterm Number
$A'B'C'$	000	m_0
$A'B'C$	001	m_1
$A'BC'$	010	m_2
$A'BC$	011	m_3
$AB'C'$	100	m_4
$AB'C$	101	m_5
ABC'	110	m_6
ABC	111	m_7

主加法標準形

- **Shannon's expansion theorem**

(a). $f(x_1, x_2, \dots, x_n) = x_1 f(1, x_2, \dots, x_n) + (x_1)' f(0, x_2, \dots, x_n)$

(b). $f(x_1, x_2, \dots, x_n) = [x_1 + f(0, x_2, \dots, x_n)] [(x_1)' + f(1, x_2, \dots, x_n)]$

- *例*

$$f(A,B,C) = AB + AC' + A'C$$

$$= A f(1,B,C) + A' f(0,B,C)$$

$$= A(1 \times B + 1 \times C' + 1' \times C) + A'(0 \times B + 0 \times C' + 0' \times C)$$

$$= A(B + C') + A'C$$

$$= B[A(1+C') + A'C] + B'[A(0 + C') + A'C]$$

$$= B[A + A'C] + B'[AC' + A'C]$$

$$= AB + A'BC + AB'C' + A'B'C$$

$$= C[AB + A'B \times 1 + AB' \times 1' + A'B' \times 1] + C'[AB + A'B \times 0 + AB' \times 0' + A'B' \times 0]$$

$$= ABC + A'BC + A'B'C + ABC' + AB'C'$$

$$= \Sigma m(1, 3, 4, 6, 7) = f_1 + f_3 + f_4 + f_6 + f_7$$

インデックスは最小項の値を2進数で表わしたもの

最大項と最大項のコード

- 主乗法標準形:
 - 最大項の積として表す
 - 例. $f_2(A,B,C) = (A+B+C)(A+B+C')(A'+B+C)(A'+B+C')$
- 3変数での最大項

最小項と逆
であること
に注意

Maxterm	Maxterm Code	Maxterm Number
$A+B+C$	000	M_0
$A+B+C'$	001	M_1
$A+B'+C$	010	M_2
$A+B'+C'$	011	M_3
$A'+B+C$	100	M_4
$A'+B+C'$	101	M_5
$A'+B'+C$	110	M_6
$A'+B'+C'$	111	M_7

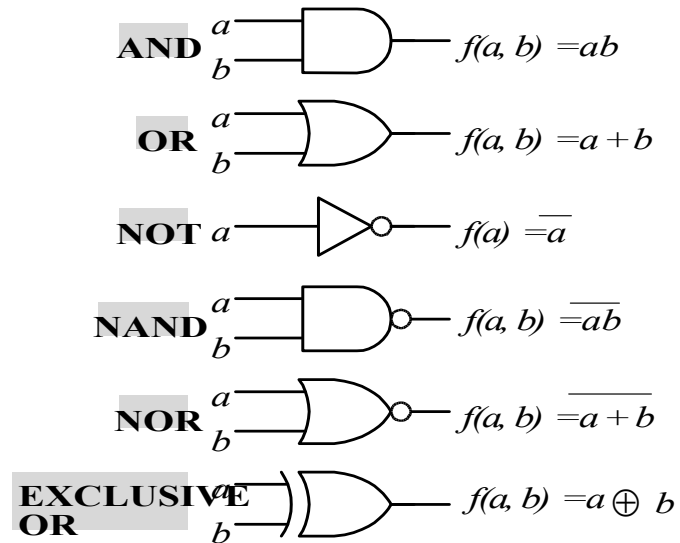
ゲート回路(TTL)

- NAND
 - 7400(2入力),7410(3入力),7420(4入力),7430(8入力)
- NOT
 - 7404
- AND
 - 7408(2入力)
- OR
 - 7432(2入力)
- XOR
 - 7486(2入力)

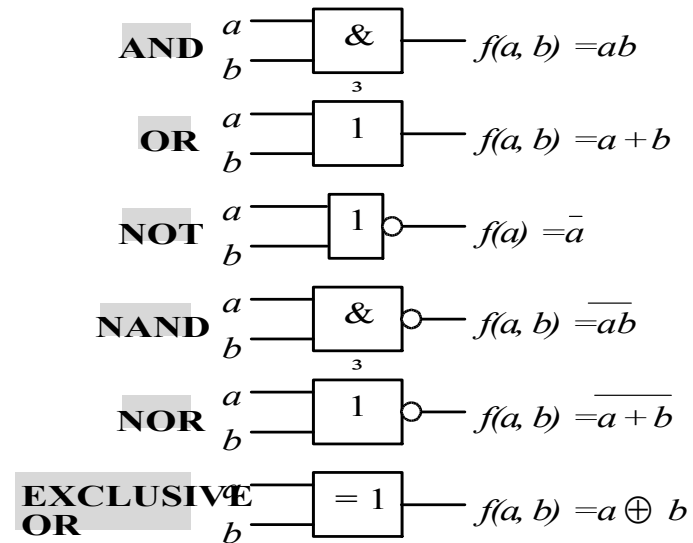
正論理・負論理

- **電気信号と論理値**
 - 論理値1に設定されている信号はアクティブ、真などといわれる
 - 正論理では信号がハイのとき真である
 - 負論理では信号がローのとき真である

ゲート回路の表記

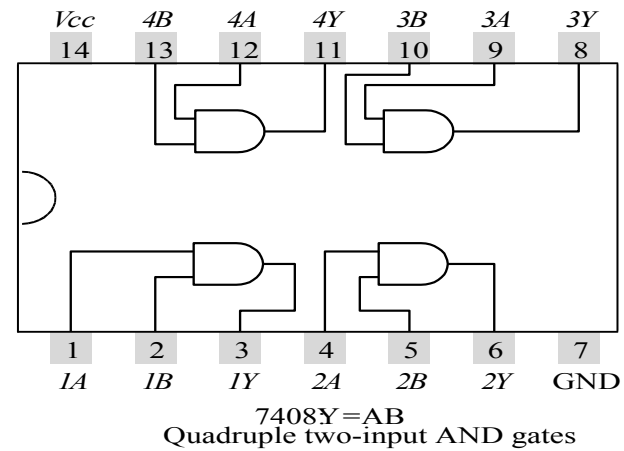
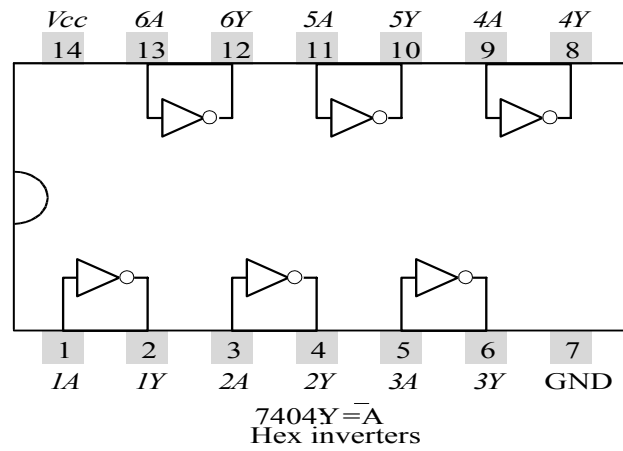
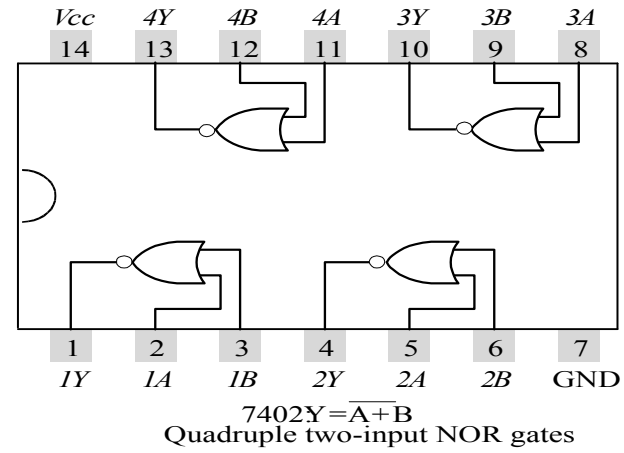
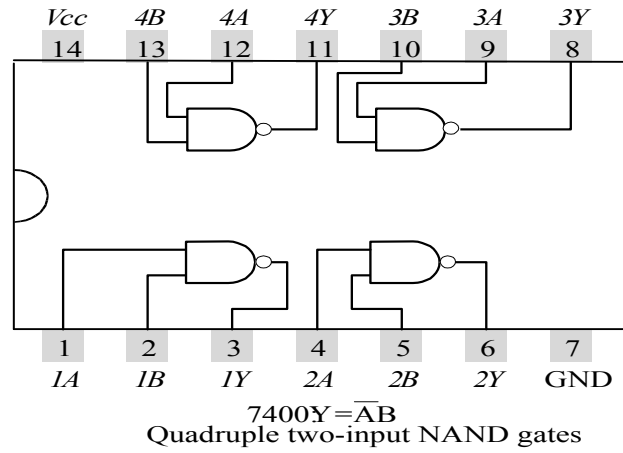


Symbol set 1

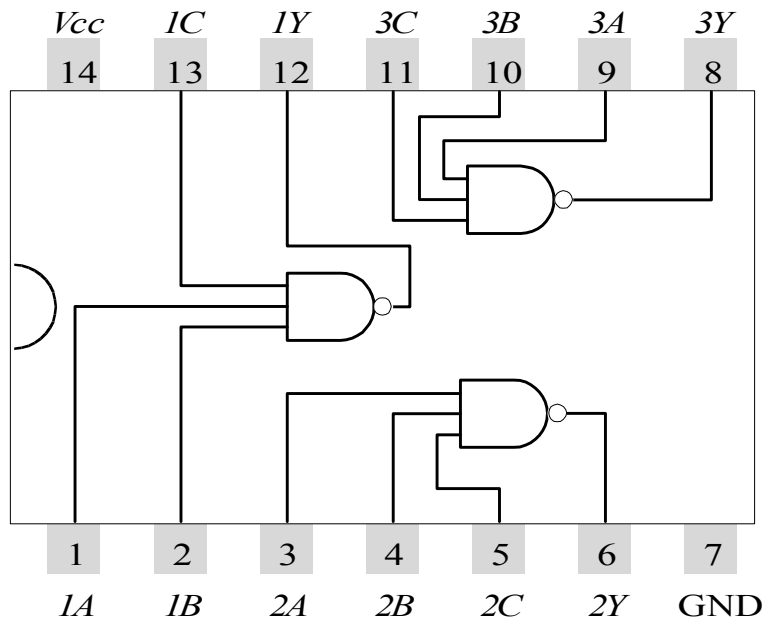


Symbol set 2
(ANSI/IEEE Standard 91-1984)

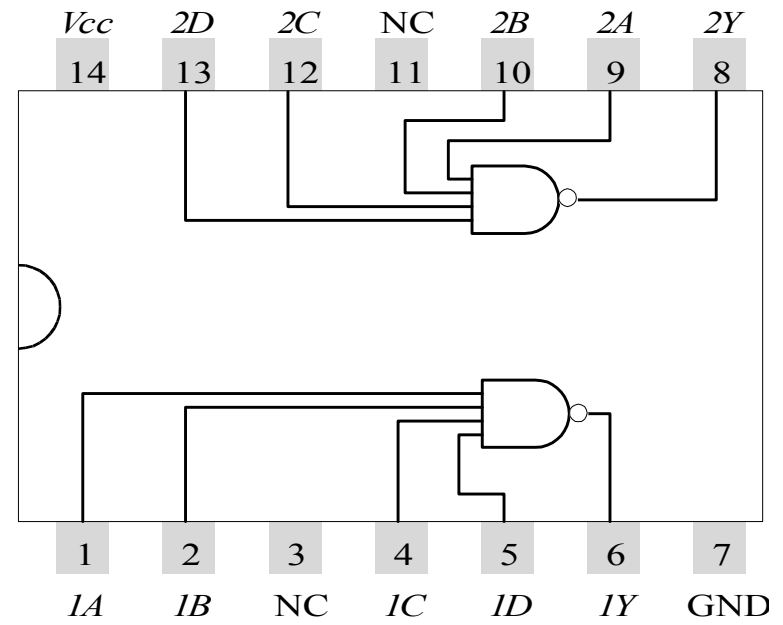
ゲート回路(IC)



ゲート回路(IC)

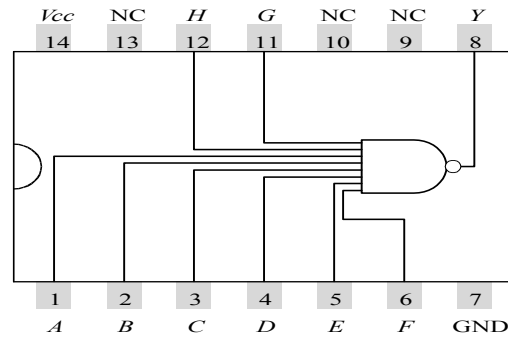


$7410Y = \overline{ABC}$
Triple three-input NAND gates

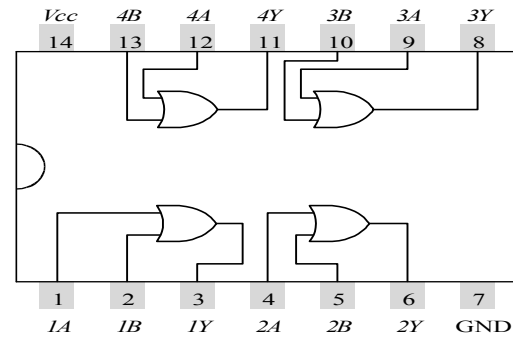


$7420Y = \overline{ABCD}$
Dual four-input NAND gates

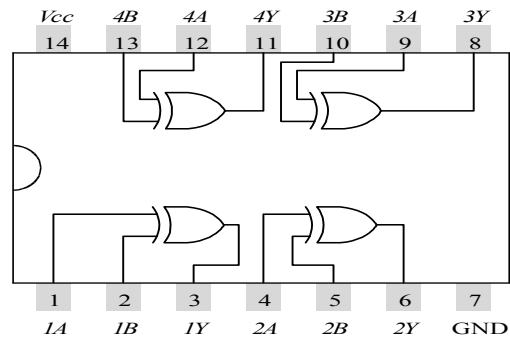
ゲート回路(IC)



7430Y=ABCDEFGH
8-input NAND gate



7432Y=A+B
Quadruple two-input OR gates



7486Y=A⊕B
Quadruple two-input exclusive-OR gates

AND

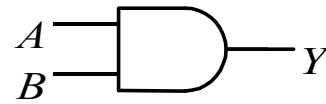
- **AND**

a	b	$f_{AND}(a, b) = ab$
0	0	0
0	1	0
1	0	0
1	1	1

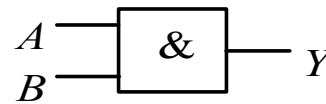
(a)

A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

(b)



(c)



(d)

(a) AND logic function.

(b) Electronic AND gate.

(c) Standard symbol.

(d) IEEE block symbol.

OR

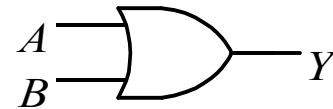
- **OR**

a	b	$f_{OR}(a, b) = a + b$
0	0	0
0	1	1
1	0	1
1	1	1

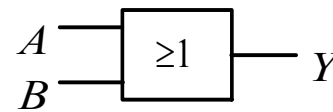
(a)

A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

(b)



(c)



(d)

(a) OR logic function.

(b) Electronic OR gate.

(c) Standard symbol.

(d) IEEE block symbol.

NOT

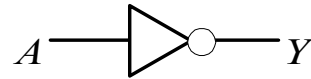
- **NOT**

a	$f_{NOT}(a) = \bar{a}$
0	1
1	0

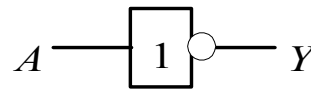
(a)

A	Y
L	H
H	L

(b)



(c)



(d)

(a) NOT logic function.

(b) Electronic NOT gate.

(c) Standard symbol.

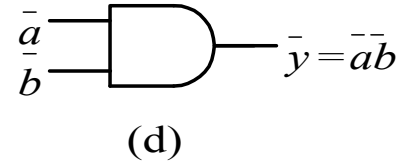
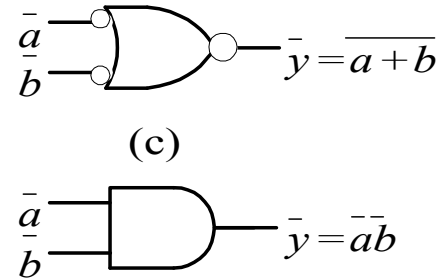
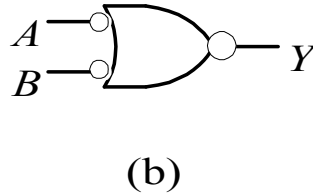
(d) IEEE block symbol.

負論理(1)

- 負論理でのANDゲートの利用

A	B	Y
1	1	1
1	0	1
0	1	1
0	0	0

(a)



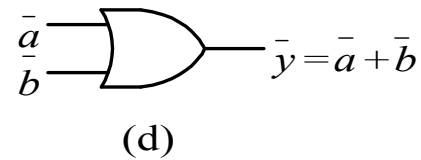
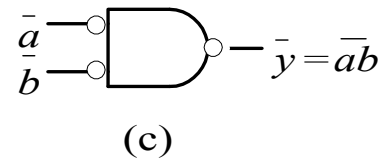
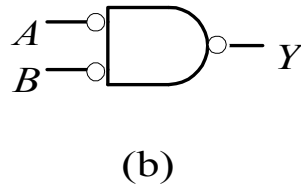
$$\overline{\overline{a \cdot b}} = \overline{\overline{a + b}} = \overline{f_{OR}(\overline{a}, \overline{b})}$$
$$\overline{y} = \overline{(\overline{a}) + (\overline{b})} = \overline{a + b} = \overline{f_{OR}(a, b)}$$

負論理(2)

- 負論理でのORゲートの利用

A	B	Y
1	1	1
1	0	0
0	1	0
0	0	0

(a)



$$y = a + b = \overline{\overline{a + b}} = \overline{\overline{a} \cdot \overline{b}} = \overline{f_{AND}(\overline{a}, \overline{b})}$$

$$\overline{y} = \overline{\overline{\overline{a} \cdot \overline{b}}} = \overline{a} \cdot \overline{b} = f_{AND}(a, b)$$

煙検知器

- 例: 煙検知器

- 部品: 2個の煙検知器、スプリンクラー、警報機

- 動作:

- いずれかの検知器が煙を検知したときはスプリンクラーが作動
- 両方のときは警報機になる

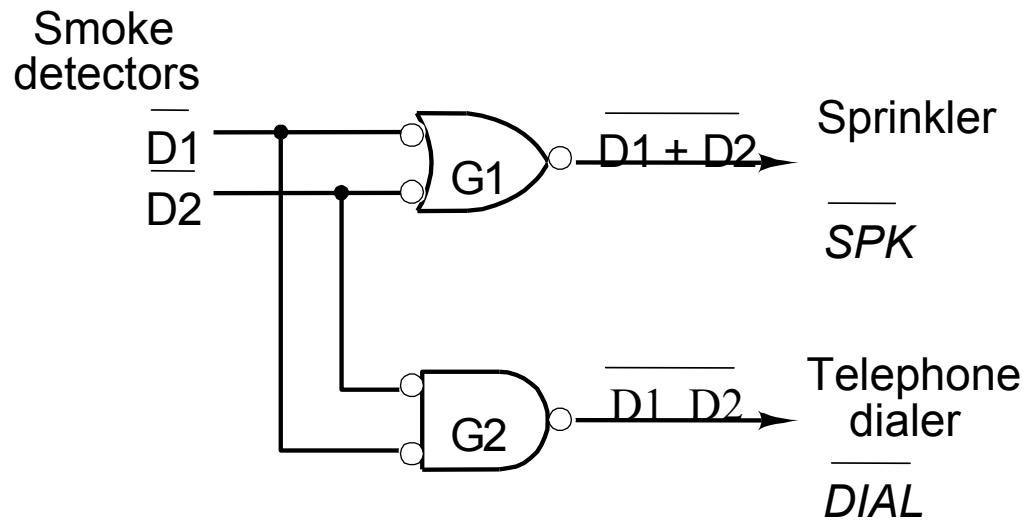
- Signals:

- :検知器の出力はローのときアクティブ $\overline{D1}, \overline{D2}$
- :スプリンクラーの入力はローのときアクティブ \overline{SPK}
- :警報機の入力はローのときアクティブ \overline{DIAL}

$$\overline{SPK} = \overline{D1 + D2} \quad \overline{DIAL} = \overline{D1 \cdot D2}$$

煙檢知器

- Logic diagram of the smoke alarm system



NAND

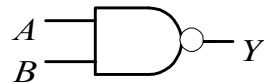
- **NAND**

a	b	$f_{NAND}(a, b) = \overline{ab}$
0	0	1
0	1	1
1	0	1
1	1	0

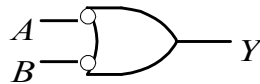
(a)

A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

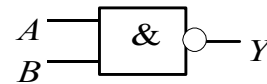
(b)



(c)



(d)

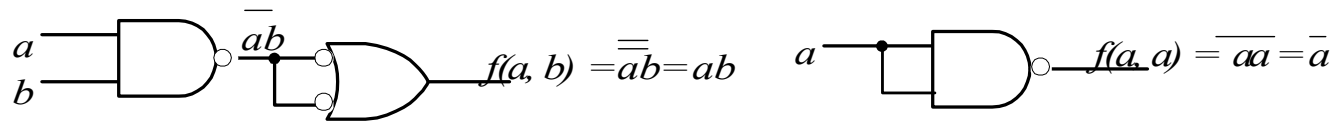


(e)

- (a) NAND logic function
- (b) Electronic NAND gate
- (c) Standard symbol
- (d) IEEE block symbol

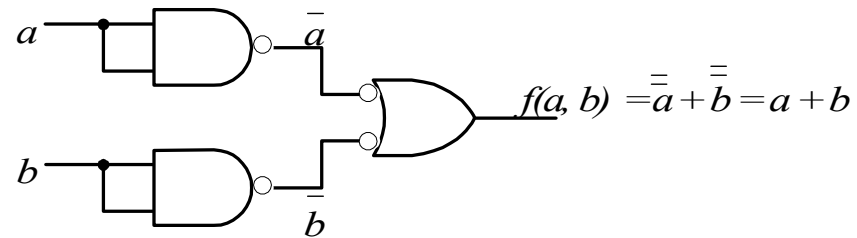
NAND

- AND, OR, NOTはNANDから合成可



AND gate

NOT gate



OR gate

NOR

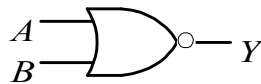
- **NOR**

a	b	$f_{NOR}(a, b) = \overline{a + b}$
0	0	1
0	1	0
1	0	0
1	1	0

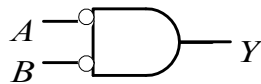
(a)

A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

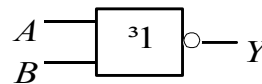
(b)



(c)



(d)

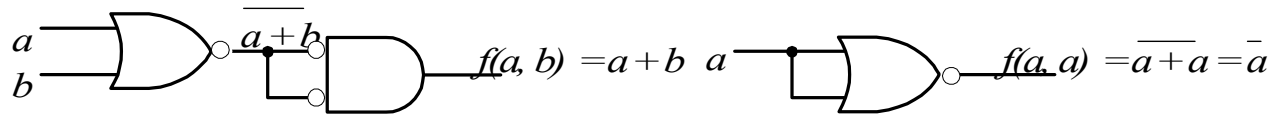


(e)

- (a) NAND logic function
- (b) Electronic NAND gate
- (c) Standard symbol
- (d) IEEE block symbol

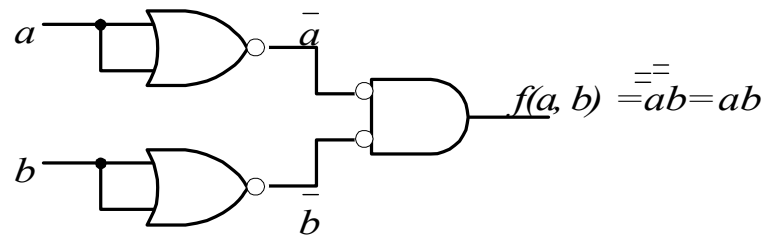
NOR

- AND, OR, NOTはNORから合成可



OR gate

NOT gate

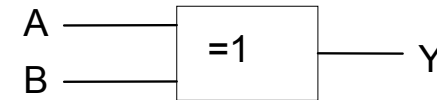
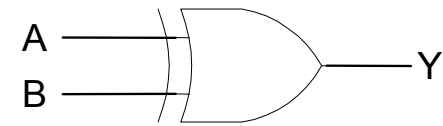


AND gate

XOR

- **Exclusive-OR (XOR)**

$a\ b$	$\bar{a}b + a\bar{b}$ $f_{\text{XOR}}(a, b) = a \oplus b$	$A\ B$	Y
0 0	0	L L	L
0 1	1	L H	H
1 0	1	H L	H
1 1	0	H H	L



- (a) XOR logic function
- (b) Electronic XOR gate
- (c) Standard symbol
- (d) IEEE block symbol

パリティ回路

- 0または1を取る信号を並列に4つ入力し、1の数が奇数であるとき1を、そうでないとき0を出力する回路の論理式を積和標準形で示しなさい。また、NANDだけを使った論理式も示しなさい。なお、入力はA,B,C,Dとし、出力はXとする。

エンコーダ

- 1つだけが1をとり、他は0をとる4つの信号を並列に入力し、これを、2進数に変える回路を考えなさい。なお、入力は、A,B,C,Dとし、ビットはこの順に並んでおり、Aは最下位とする。また、出力はX,Yとし、Xを最下位とする。さらに、Aが1のとき $YX=00$, Bが1のとき $YX=01$, Cが1のとき $YX=10$, Dが1のとき $YX=11$ とする。また、1が1つでないときは、Valid Bitが0になるものとし、そうでないときは1になるものとする。