

連続時間型 $\Delta \Sigma$ 変調器における クロックジッタの影響を低減する方法に関する一検討

福永 弘恭* 安田 彰 吉野 理貴
木村 有希 矢代 真之 (法政大学)

**A study on reducing an effect of the clock jitter
in a continuous-time delta-sigma modulator.**

Hiroyasu Fukunaga*, Akira Yasuda, Michitaka Yoshino,
Yuki Kimura, Masayuki Yashiro, (Hosei University)

In this paper, we propose a structure to reduce an effect of the clock jitter in a continuous-time delta-sigma modulator. In the continuous-time delta-sigma modulator, the conversion accuracy is degraded by the clock jitter that varies the output signal of the DAC. A predictor (integrator) is inserted into the feedback path, which reduces the amplitude of the quantizer output of the delta-sigma modulator. Since this reduces the DAC error caused by the clock jitter, the SNR can be improved. The simulation results show SNR improvement of 14.4dB of the continuous-time delta-sigma modulator with the predictor when clock jitter is 0.1%.

キーワード： $\Delta \Sigma$ 変調器, 予測器, クロックジッタ, ADC, DAC
(Keywords, delta-sigma modulator, predictor, clock jitter, ADC, DAC)

1. はじめに

1.1 A-D 変換器について

近年, デジタル回路の高速化並び高精度化が進んでいる。それに応じてアナログ信号をデジタル信号に変換する A-D 変換器にも益々高速・高精度特性が要求されるようになってきている。そのため, 様々な A-D 変換器が登場しており, 現在, 以下の 5 種類が主流となっている。

- ① 多重積分型
- ② $\Delta \Sigma$ 型
- ③ 逐次比較型(SAR 型)
- ④ パイプライン型
- ⑤ パラレル・フラッシュ型

A-D 変換器を変換速度と分解能で分類した図を図 1 に示す。

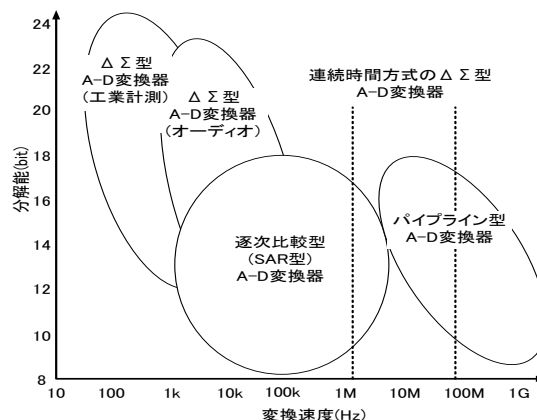


図 1 A-D 変換器の分解能と変換速度

Fig. 1. A-D converter resolution and conversion speed.

図 1 において通常の $\Delta \Sigma$ 型 A-D 変換器よりも高速な領域 (変換速度 1MHz-100MHz, 分解能 8bit-16bit) をカバーする方式として, 連続時間方式の $\Delta \Sigma$ 変調器が注目されている。

1.2 連続時間方式の $\Delta\Sigma$ 変調器

従来の $\Delta\Sigma$ 変調器では、スイッチトキャパシタ回路(SC)を利用した離散時間方式の $\Delta\Sigma$ 変調器が多く用いられている。この方式ではSCを利用するため、積分器に使用されるオペアンプのセトリング時間により高速動作が制限される。そこで、SCを使用しない連続時間方式の $\Delta\Sigma$ 変調器が注目されている⁽¹⁾。

しかし、連続時間方式の $\Delta\Sigma$ 変調器では、フィードバック経路にある内部DACがクロックジッタの影響を受け、正確な値を信号経路に戻せなくなる。これにより、 $\Delta\Sigma$ 変調器全体の変換精度が低下するという問題が存在する。

この様なクロックジッタによる変換精度の低下を防ぐ手法として、従来では量子化器のマルチビット化やSCを使った内部DACなどの手法が試されてきた。しかし、量子化器のマルチビット化は、近年のCMOSプロセスの低電圧化に伴い、アナログ回路への負担が大きくなっている。また、SCを使用した内部DACにおいては、急激な電圧の立ち上がりが発生するため、オペアンプのセトリング時間の影響で連続時間方式の長所である高速変換を犠牲にしてしまう。

1.3 提案手法の概要

本論文では、連続時間方式の $\Delta\Sigma$ 変調器におけるフィードバック経路に予測器(積分器)を挿入することで、 $\Delta\Sigma$ 変調器内でのステップサイズを従来の $\Delta\Sigma$ 変調器に比べて小さくする手法を検討する。これによりクロックジッタの影響による内部DACから信号経路に戻される電荷量の誤差を低減させ、 $\Delta\Sigma$ 変調器の変換精度を向上させる。より具体的には、1次予測2次ノイズシェーピングの混合型 $\Delta\Sigma$ 変調器を構成し、予測器にはデジタル回路による積分器を用いる。内部DACは予測器の後段に挿入されるので、マルチビットDACとなる。しかし、量子化器の出力は1bitであり、マルチビットにする必要はない。

なお、本提案手法の検証はMATLAB/Simulink (version 6.5)を用いた。

2. 混合型 $\Delta\Sigma$ 変調器

混合型 $\Delta\Sigma$ 変調器は、通常の $\Delta\Sigma$ 変調器のフィードバック経路に予測器を挿入した構成となる。このブロック図を図2に示す。

通常の $\Delta\Sigma$ 変調器のD-A変換器出力ステップサイズは、内部量子化器のステップサイズと等しい。しかし、混合型 $\Delta\Sigma$ 変調器はフィードバック経路に予測器を用いることで、 $\Delta\Sigma$ 変調器内部D-A変換器のステップサイズを抑えることができる。また、積分器の出力振幅を減らすこともできる。これらにより、オペアンプのセトリング時間が緩和され、連続時間型の特長でもある高速変換を維持できる。

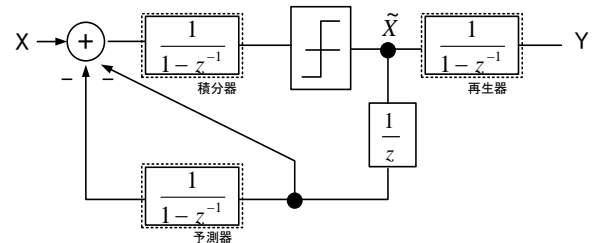


図2 離散時間系1次予測1次ノイズシェーピング型 $\Delta\Sigma$ 変調器

Fig. 2. First-order predictive encoder with first-order noise shaping discrete-time delta-sigma modulator.

図2における変調器の量子化器の出力は、1次 $\Delta\Sigma$ 変調器と同様の差分符号である。そのため、信号の再生には出力に再生用の積分器を用いる必要がある。図2における \tilde{X} (量子化器の出力)は式(1)で表現できる。

$$\tilde{X} = (1-z^{-1})X(z) + (1-z^{-1})^2 Q(z) \dots\dots\dots(1)$$

量子化器の出力に再生器を通すと式(2)となる。

$$Y = X(z) + (1-z^{-1})Q(z) \dots\dots\dots(2)$$

式(2)より1次 $\Delta\Sigma$ 変調器と同様に1次ノイズシェーピング効果が得られることが分かる。

3. 予測器

予測器では、量子化器からの出力を基に1サンプリングごとに一定量 Δ を増やすか減らすかの操作を行い、信号経路に戻していく。このため、量子化器の出力を小さくしても、大きな振幅の信号を変換することが可能となる。

一方、入力信号の変化が1サンプリング当たり Δ より大きくなると、予測器が入力に追従できなくなる。

入力信号の変化が最大となるのは、最大振幅を一定とすれば、周波数が最大のときである。つまり、混合型 $\Delta\Sigma$ 変調器の動作においては、入力信号の周波数及び振幅が制限される。この現象を傾斜過負荷と呼ぶ。

このとき量子化器のステップサイズは、1次予測を行うことによる傾斜過負荷を生じない大きさに決める必要がある。そのため、ステップサイズ Δ は、信号帯域の上限周波数を f_B 、サンプリング周波数を f_s 、信号振幅を A とすると式(3)で表現できる。

$$\Delta \geq \left(\frac{2\pi f_B}{f_s} \right) A \dots\dots\dots(3)$$

式(3)より、ステップサイズ Δ は、サンプリング周波数に比例して小さくなる。このことから、量子化器の出力振幅を低減できることが分かる。これにより、クロックジッタの影響を低減できる⁽²⁾。

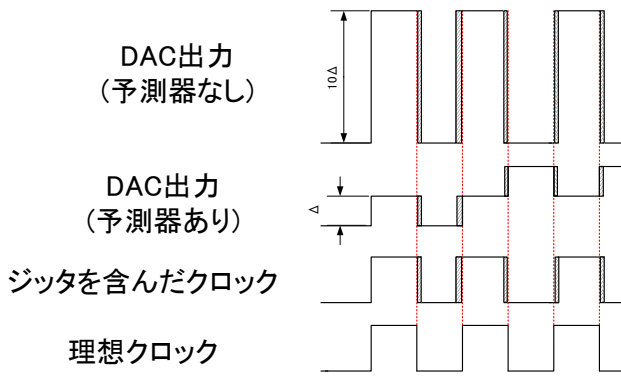


図3 クロックジッタによるDACの誤差
Fig. 3. Clock jitter effect in DAC.

図3の斜線部分は、DACにおけるクロックジッタによる電荷量の誤差である。予測器がある場合は、DACへの入力小さいため、同じ幅のジッタであっても、電荷量の誤差を抑えることができる。本論文での検討では、量子化器の出力振幅をフルスケールの1/10にしているため、同じ幅のジッタであっても、電荷量の誤差は1/10である。このことがクロックジッタの影響による変換精度の低下を防ぐ事になる。

4. 提案手法

本論文では、1bit量子化器を用いた混合型1次予測2次ノイズシェーピング型を提案する。このブロック図を図4に示す。

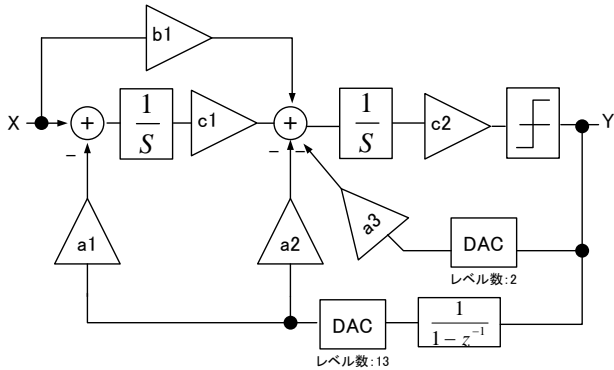


図4 1次予測2次ノイズシェーピング型
 $\Delta\Sigma$ 変調器

Fig. 4. Second-order noise shaping delta-sigma modulator with first-order predictive encoder.

4.1 混合型 $\Delta\Sigma$ 変調器の構成

図4での1次予測2次ノイズシェーピング型 $\Delta\Sigma$ 変調器の構成について説明する。

予測器に用いられる積分器はデジタル回路で構成する。これは、アナログの積分器(SC積分器)で構成した場合、オペアンプのセトリング時間により連続時間の特長である高速変換を犠牲にしてしまうからである。また、予測器をデジ

タルの積分器とすることで、この予測器の出力を $\Delta\Sigma$ 変調器全体の出力結果として利用できる。

DACは予測器の後段に挿入する。予測器は積分器のため、DACはマルチビット構成となる。本提案手法では、13レベルのDACを使用している。そのため、DACの素子のミスマッチによる変換精度の低下を防ぐためにミスマッチシェイピングなどのデジタル補正が必要となる。量子化器の出力は1bitである。量子化器の出力振幅は予測器が挿入されているので、入力信号と同じ振幅にする必要はない。本提案手法では、量子化器の出力振幅をフルスケールの1/10に抑えている。これにより、DACから信号経路に戻されるクロックジッタによる電荷量の誤差を低減できる。

信号経路の2段目の積分器に予測器を通らずにフィードバックする経路が存在するのは、本提案手法を構成するに当り、雑音伝達関数(NTF)の極を安定な位置に配置させるためである。混合型 $\Delta\Sigma$ 変調器では、積分器が3個使用されるため、3次以上の $\Delta\Sigma$ 変調器と同様に必ずしも安定とは限らない。極の配置によっては、不安定になり発振現象を起こすこともある。これは、量子化器の出力が1bitであることと、予測器を使用するため量子化器の出力振幅を制限することによる。信号経路に戻るフィードバックの信号量が不足するためである。そのため、積分器の2段目に関しては、予測器を通らずに直接フィードバックをする経路を持たせている。

今回の設計では、離散時間系において安定性などの問題を確認し、双一次変換を用いて等価な連続時間系に変換した。そのため、フィードフォワードの経路を有している。

5. シミュレーションによる検証

5.1 シミュレーション方法

クロックジッタの影響を比較するために予測器のない従来型の連続時間方式2次 $\Delta\Sigma$ 変調器を用意した。そのブロック図を図5に示す。

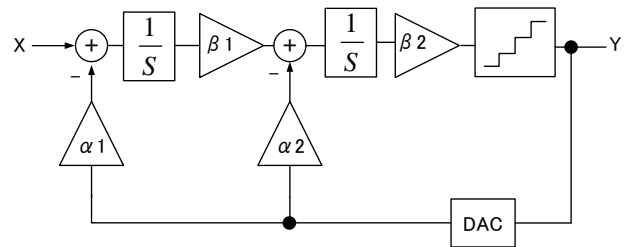


図5 連続時間型2次 $\Delta\Sigma$ 変調器

Fig. 5. Continuous-time second-order delta-sigma modulator.

今回の提案手法の確認および、従来の量子化器とDACのマルチビット化によるクロックジッタの低減効果と提案手法との比較を行うため、以下の2点について検証した。

表1 シミュレーション条件
Table 1. Simulation condition.

入力振幅	サンプリング周波数	OSR	プロット数	クロックジッタ
-6dBFS	1Hz	128(2 ⁷)	2 ¹⁶	0.1%

クロックジッタに関しては、クロックに対して0.1%以下の誤差がランダムに発生するとした。

- 検証 I 従来の 1bit $\Delta\Sigma$ 変調器と予測器を用いた提案手法の $\Delta\Sigma$ 変調器におけるクロックジッタの影響
- 検証 II 従来の 1bit $\Delta\Sigma$ 変調器の量子化器の出力をマルチビット化したときのクロックジッタの影響

シミュレーションは、表1の条件で行った。

5.2 1bit 量子化器による予測器の有無による比較

検証 I の結果について確認する。

図6に提案手法である1次予測2次ノイズシェーピング型 $\Delta\Sigma$ 変調器の出力波形のFFT結果を示す。

クロックジッタが印可されていない状態では、通常の2次 $\Delta\Sigma$ 変調器と同様に40dB/decのノイズシェーピング特性が観測されている。また、クロックジッタが印可された場合のノイズフロアの上昇は-110dBに抑えられている。

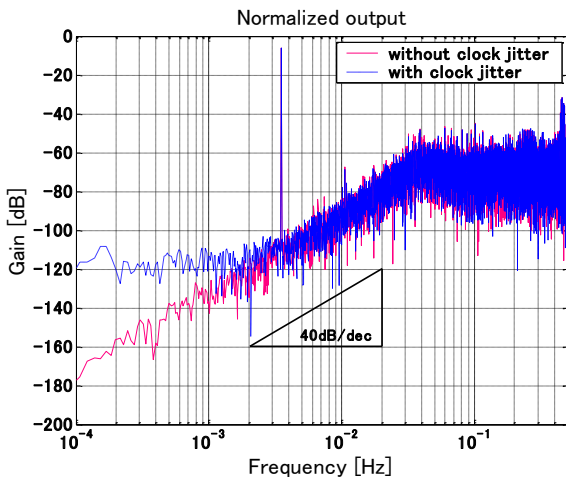


図6 予測器を用いた $\Delta\Sigma$ 変調器の出力スペクトル
Fig. 6. Output spectrum of delta-sigma modulator with predictor.

次に、従来型 1bit $\Delta\Sigma$ 変調器と提案手法の1次予測2次ノイズシェーピング $\Delta\Sigma$ 変調器にクロックジッタを印可した場合を比較する。その結果を図7に示す。

予測器がない従来型 1bit $\Delta\Sigma$ 変調器では、信号帯域のノイズフロアが-90dB程度まで上昇していることが確認できる。

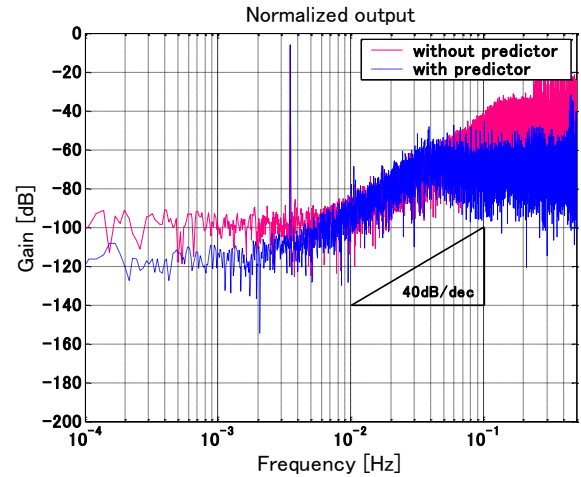


図7 予測器の有無によるクロックジッタの影響比較
Fig. 7. Comparison of clock jitter effect between delta-sigma modulator with and without predictor.

検証 I でのクロックジッタの影響によるSNRの劣化を表2に示す。

表2 クロックジッタによるSNRの劣化
Table 2. Deterioration of SNR by clock jitter.

		クロックジッタ	
		なし	あり
予測器	あり	85.7dB	82.3dB
	なし	85.8dB	68.0dB

予測器がない場合は、クロックジッタの影響により17.8dBのSNRの劣化がある。しかし、予測器がある場合は、3.4dBの劣化に抑えられる。つまり、予測器が挿入されている場合とない場合では、14.4dBのSNRの改善が図れることが分かる。以上の結果より、予測器がある混合型 $\Delta\Sigma$ 変調器がクロックジッタに対して効果があることが確認された。

5.3 量子化器のマルチビット化による比較

次に検証 II の結果について確認する。従来型 $\Delta\Sigma$ 変調器(図5)の量子化器とDACをマルチビット化した際のクロックジッタの影響についてシミュレーションを行った。シミュレーションの条件は表1の条件で行った。その結果を図8に示す。

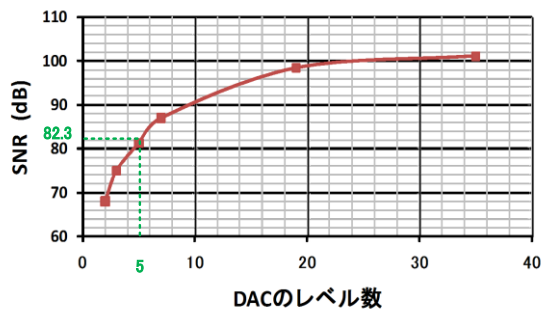


図8 クロックジッタを印加したときの
DACのレベル数対SNR

Fig. 8 . SNR vs.number of DAC levels with clock jitter.

図8では、従来型 $\Delta\Sigma$ 変調器にクロックジッタを印加し、DACのレベル数を増加させたときの結果である。DACのレベル数を増加させると、SNRが改善されていくことが分かる。従来手法において提案手法と同じSNRを達成するには、量子化器とDACにおいて5レベルあればよいことが分かる。従来手法では、量子化器内部において4個のコンパレータが必要となるが、提案手法では1個で済む。しかし、DACのレベル数は13レベル必要である。

6. まとめ 今後の課題

6.1 まとめ

本論文では連続時間系 $\Delta\Sigma$ 変調器に予測器をフィードバック経路に挿入することで、クロックジッタの影響を低減する手法を提案した。提案手法においては、予測器を挿入することで量子化器の出力振幅を抑える。これにより、クロックジッタの影響を低減できることをシミュレーションにより検証した。その結果、提案型では従来型 $\Delta\Sigma$ 変調器に比べてSNRの劣化を抑えられることが確認でき、従来型 $\Delta\Sigma$ 変調器に比べて14.4dBの改善が達成された。

また、従来手法の量子化器やDACをマルチビット化して、クロックジッタの影響を抑える手法では、5レベルの量子化器とDACがあれば、提案手法と同じSNRが達成できる。提案手法では量子化器の出力は1bitなので従来手法に比べてコンパレータが3個削減できる。また、フラッシュ型で量子化器の出力レベルを多くした場合、抵抗ラダーでの電位差が小さくなる。そのため、判定結果の順序が逆転することがある。これを補正するためのNAND回路を使った補正回路も削減できる。ただし、DACのレベル数は、従来型よりも8レベル分増加の13レベル必要である。DACのレベル数が増加した場合、素子のミスマッチや非線形性などが変換精度を低下させるという問題が生じる。これに対しては、ミスマッチシェイピング等のデジタル補正技術により解消できる。

6.2 今後の課題

予測器をデジタル回路で構成しているため、マルチビットDACが必要となる。そこで、DACの素子のばらつきによる精度低下を防ぐためのミスマッチシェイピング等のデジタル補正技術の検討。また、マルチビットDACを使用しない予測器の検討。並びにトランジスタレベルでの検討を行っていききたい。

文 献

- (1) 藤森 弘己：「連続時間方式の $\Delta\Sigma$ 型 A-D 変換器 今注目される理由(前編)」日経エレクトロニクス 1008号 pp.86-90 (2009年)
- (2) 湯浅 彰 著：「オーバーサンプリング A-D 変換技術」日経 BP
- (3) Koichiro Satou, 「A second-order continuous-time delta sigma modulator with jitter tolerance」 IEEJ analog VLSI workshop, vol 41 Oct 2005
- (4) 安田 彰 和保 孝夫 監訳「 $\Delta\Sigma$ 型アナログ/デジタル変換入門」丸善
- (5) ロレ パスカル 藤本 義久 宮本 雅之 「1 ビットオーディオアンプ用 $\Delta\Sigma$ 変調器」シャープ技法 第91号 pp.10-15 2005年4月